

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-160466

(43)Date of publication of application : 21.06.1996

(51)Int.Cl. G02F 1/136
G02F 1/13
G09F 9/35
H01L 29/786

(21)Application number : 06-307490

(71)Applicant : CANON INC

(22)Date of filing : 12.12.1994

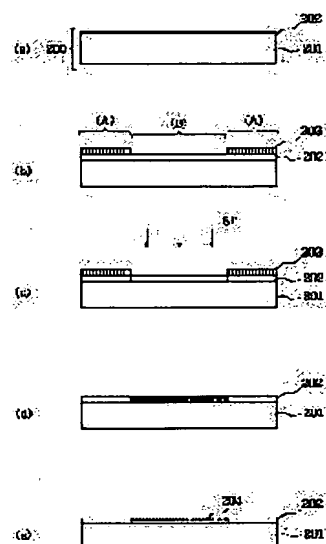
(72)Inventor : ISHII TAKAYUKI

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PURPOSE: To enable fast driving which can cope with a high definition television by forming a switching element corresponding to a pixel electrode in a single crystal semiconductor region or a non-single crystal semiconductor region having a highly defective density.

CONSTITUTION: A resist 203 is applied on an insulating substrate 200 and the resist 203 in the area B to form a polycrystalline structure is removed by patterning to form an opening part. The substrate 200 is set in an ion injection device to inject Si⁺ ions around the opening part as the center for injection. In the area B where the Si⁺ ions are injected, lots of defects are produced by impact of ions and the amt. of defects increases with the injection amt. of the ions. After the single crystal silicon is changed into an amorphous state, it is annealed to form a polycrystalline silicon film 204 in the non-single crystal area B. Circuits are formed according to the process for forming normal MOSFETs in respective single crystal region A and the polycrystalline region B formed on one substrate 201 to constitute an active matrix substrate. A liquid crystal display device is produced by using the obtained substrate.



LEGAL STATUS

[Date of request for examination] 13.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3109968

[Date of registration] 14.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] While having two or more switching elements corresponding to two or more pixel electrodes arranged in the shape of a matrix The active-matrix circuit board equipped with the drive circuit for driving said two or more switching elements, They are the opposite substrate equipped with the counterelectrode which counters said pixel electrode, and the liquid crystal display which comes to pinch liquid crystal between **s. Said switching element The liquid crystal display which is the field constituted based on the same semi-conductor layer as the semi-conductor layer which makes the single crystal semiconductor region in which said drive circuit was formed, and is characterized by being formed in the single crystal semiconductor region where defect density is larger than said single crystal semiconductor region, or a non-single crystal semiconductor region.

[Claim 2] The liquid crystal display according to claim 1 with which said semi-conductor layer was constituted using silicon.

[Claim 3] Said switching element is a liquid crystal display according to claim 1 which is a thin film transistor.

[Claim 4] Said non-single crystal semiconductor region is a liquid crystal display according to claim 1 which makes polycrystal or amorphous structure.

[Claim 5] The semiconductor region in which said drive circuit was formed, and the semiconductor region in which said switching element was formed are a liquid crystal display according to claim 1 with which chemical composition differs.

[Claim 6] the defect density of said single crystal semiconductor region in which said drive circuit was formed -- 100 / cm² from -- 108 / cm² Liquid crystal display according to claim 2 in the range.

[Claim 7] the defect density of said single crystal semiconductor region in which said switching element was formed -- 109 / cm² from -- 1014-/cm² Liquid crystal display according to claim 2 in the range.

[Claim 8] The thickness of the semi-conductor layer which constitutes said semiconductor region in which said switching element was formed is a liquid crystal display [thinner than the thickness of the semi-conductor layer which constitutes the field in which said drive circuit was formed] according to claim 2.

[Claim 9] The thickness of said semi-conductor layer in which said switching element was formed is a liquid crystal display according to claim 8 in the range of 100 to 1000A.

[Claim 10] While having two or more switching elements corresponding to two or more pixel electrodes arranged in the shape of a matrix The active-matrix circuit board equipped with the drive circuit for driving said two or more switching elements, It is the manufacture approach of the opposite substrate equipped with the counterelectrode which counters said pixel electrode, and the liquid crystal display which comes to pinch liquid crystal between **s. Said switching element The manufacture approach of the liquid crystal display which is the field constituted based on the same semi-conductor layer as the semi-conductor layer which makes the single crystal semiconductor region in which said drive circuit was formed, and is characterized by forming in the single crystal semiconductor region where defect density is larger than said single crystal semiconductor region, or a non-single crystal semiconductor region.

[Claim 11] The manufacture approach of a liquid crystal display according to claim 10 of using silicon for said semi-conductor layer.

[Claim 12] The liquid crystal display according to claim 10 with which said defect density forms a large single crystal semiconductor region or a large non-single crystal semiconductor region using ion-implantation.

[Claim 13] Said ion which carries out an ion implantation is a liquid crystal display according to claim 12 which is silicon.

[Claim 14] Said ion which carries out an ion implantation is a liquid crystal display according to claim 12 chosen from Ar, oxygen, and nitrogen.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the liquid crystal display which equipped high definition TV, the electronic view finder for camcorder/movies, the head-mounted display, Projection TV, etc. with the available active-matrix circuit board, and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, as for the so-called active matrix liquid crystal indicating equipment using the substrate which allotted and constituted the switching element in high density in the shape of [two-dimensional] a matrix, research is briskly made as the object for flat-panel displays, or an object for projection TV, and, as for some of them, commercialization is already made.

[0003] One example of such an active matrix liquid crystal display is typically shown in drawing 11 .

[0004] As for a pixel switch and 802, in drawing 11 , 801 is [the buffer section and 803] the level shift register sections, and 804 is the perpendicular shift register section. The luminance signal and sound signal of television are compressed by a certain band, and are sent to the buffer section 802 driven with the level shift register 803 with the drive capacity that the frequency can be followed.

[0005] The signal sent to the buffer section 802 is transmitted to the pixel electrode connected to the drain of a transistor at the period which the pixel switch 801 which consisted of transistors with the perpendicular shift register 804 turns on.

[0006]

[Problem(s) to be Solved by the Invention] The engine performance required of the circuit which constitutes this panel is put in bearing HDTV (high definition television) in mind, and as for a TV signal, 60Hz and a scanning-line number will be transmitted [frame frequency / about 30microsec (27micro of effective scan periods (sec)), and the number of level pixels] for about 1000 and a horizontal scanning

period to the Bachar section on the frequency of about 45MHz, if frame frequency considers as about 1500 pieces. Moreover, the period which the signal transfer per scanning line is allowed serves as 1–2microSEC. Therefore, the following four engine performance will be required of each element circuit.

[0007] That is, the drive capacity of (1) level shift register is a certain thing 45MHz or more.

[0008] (2) The drive capacity of a perpendicular shift register is a certain thing 500kHz or more.

[0009] (3) The drive capacity of a transfer switch to drive with a level shift register and to transmit a TV signal to the buffer section is a certain thing 45MHz or more.

[0010] (4) The drive capacity of a pixel switch is a certain thing 500kHz or more.

[0011] The drive capacity said here means the signal transfer capability which is below $V_m - V_t / N$ [V] in all the pixels driven with this scanning line within the period per above-mentioned scanning line, if threshold voltage of the liquid crystal obtained from a V–T (electrical-potential-difference-permeability) curve is set to V_t by setting to V_m the electrical potential difference which gives the permeability the greatest [of liquid crystal], or minimum when it is going to take out a certain number N of gradation to a liquid crystal pixel.

[0012] Although a pixel switch and a perpendicular shift register may, from now on, have comparatively small drive capacity so that clearly, a high-speed drive is needed for a level shift register and the buffer section. For this reason, in a current liquid crystal display, a pixel switch and a perpendicular shift register are formed in a monolithic with the non-single crystals TFT (thin film transistor), such as polycrystalline silicon and an amorphous silicon, and other circumference circuits correspond by mounting IC chip from outside.

[0013] In this case, although the attempt which it is going to form in a monolithic to a circumference circuit also occurs using polycrystalline silicon TFT, since the drive capacity of each TFT is small, transistor size is enlarged or a complicated device is needed on a circuit.

[0014] On the other hand, TFT formed into the single-crystal-silicon layer (SOI) allotted on the insulating substrate attracts attention as components, such as a three-dimension integrated circuit and an adhesion sensor, in recent years. TFT made to such a SOI substrate has properties, such as excelling in the dielectric separation of a latch rise free-lancer with small parasitic capacitance, and radiation resistance, compared with the transistor produced on the conventional single crystal silicon wafer. And if thickness of a single-crystal-silicon layer is made sufficiently thin (thin-film[super-]-izing) and a transistor is formed there in recent years, research is briskly done noting that it leads to an improvement of the transistor characteristics of the subthreshold level property that high carrier mobility is obtained being improved according to the mechanism of a proper.

[0015] However, there is a trouble also in these super-thin film transistors. That is, drain pressure-proofing of gate voltage $V_g = 0$ [V] (at the time of OFF) deteriorates rapidly with reduction in thickness. This trouble serves as a serious failure especially in the field as which design top quantity pressure-proofing of an adhesion sensor, a flat-surface display, etc. is required, when aiming at application expansion of a transistor.

[0016] The cause which an above-mentioned failure generates originates in the floating structure which is the structure of the proper of an insulating substrate which has a single-crystal-silicon layer fundamentally. About this, it is N-channel. MOSTFT is mentioned as an example and it explains below.

[0017] If a certain bias is impressed between the gate drains of a transistor, although line of electric force is extended from a gate electrode edge to a drain electrode edge, the very dense field of electric field will be formed in a drain channel joint in that case. This electric field are especially concentrated on an above-mentioned joint and an above-mentioned gate-dielectric-film interface. It is further accelerated by this electric field, and the electron supplied from the source section is IMPACT within the depletion layer of drain channel junction, when it reaches to a drain edge. IONAZATION (impact ionization) is caused and an electron hole is generated.

[0018] It moves to a source edge in the generated electron hole, and although drawn out from a source electrode, if the extent increases, an electron hole will come to be accumulated in a channel field,

without being drawn out from the source section. The electron hole accumulated in the channel field lowers the potential of a channel, and much more electrons come to be supplied to a drain edge. The supplied electron is IMPACT further. IONAZATION is caused and an electron hole is stored up in the channel section.

[0019] Thus, concentration-IMPACT of electric field Positive feedback starts a series of actuation called are recording of an IONAZATION-electron hole, and it sets in the above-mentioned process in the process at the time of OFF of a transistor, and is IMPACT. Supply of the electron which causes IONAZATION is supplied by generating of the reverse current of drain junction.

[0020] P-channel Also about MOSFET, the points that a majority carrier is an electron hole differ, and it is IMPACT of an electron hole in this case. When the rate of IONAZATION is small compared with an electron and that effect is eased somewhat, there is same trouble fundamentally by *****.

[0021] It is possible how the carrier (in the case of N-channel MOSFET, in the case of an electron hole and P-channel MOSFET, it is an electron) which it is going to accumulate in a channel is quickly drawn out from a channel field as one technique for solving such a trouble. It is possible to fix the potential (henceforth "SUB potential") of a channel to a certain potential so that the usual IC structure may see as a concrete approach for this.

[0022] However, according to this approach, the field for taking out SUB potential is required, therefore component area will increase. When this tends to apply as a switching transistor of about [becoming the hindrance of integration of a component], and a liquid crystal device, it will cause the evil in which the numerical aperture of a pixel is reduced.

[0023] The purpose of this invention solves the technical technical problem which should solve the former mentioned above, and is to offer the liquid crystal display which can make the high-speed drive which can respond to a high definition television etc. Another purpose of this invention suppresses the evil of the leakage current produced by the optical incidence to TFT, and is to offer the liquid crystal display in which high definition image display is possible.

[0024]

[Means for Solving the Problem and its Function] In order that this invention may solve the technical technical problem which was mentioned above and which should be solved, it inquires wholeheartedly, is accomplished, and it is the thing of a configuration of lower-**(ing).

[0025] Namely, while the liquid crystal display of this invention is equipped with two or more switching elements corresponding to two or more pixel electrodes arranged in the shape of a matrix The active-matrix circuit board equipped with the drive circuit for driving said two or more switching elements, They are the opposite substrate equipped with the counterelectrode which counters said pixel electrode, and the liquid crystal display which comes to pinch liquid crystal between **s. Said switching element It is characterized by being formed in the single crystal semiconductor region which is a field and where defect density is larger than said single crystal semiconductor region or non-single crystal semiconductor region constituted based on the same semi-conductor layer as the semi-conductor layer which makes the single crystal semiconductor region in which said drive circuit was formed.

[0026] This invention includes the manufacture approach of a liquid crystal display.

[0027] While the manufacture approach of the liquid crystal display of this invention is equipped with two or more switching elements corresponding to two or more pixel electrodes arranged in the shape of a matrix The active-matrix circuit board equipped with the drive circuit for driving said two or more switching elements, It is the manufacture approach of the opposite substrate equipped with the counterelectrode which counters said pixel electrode, and the liquid crystal display which comes to pinch liquid crystal between **s. Said switching element It is characterized by forming in the single crystal semiconductor region which is a field and where defect density is larger than said single crystal semiconductor region or non-single crystal semiconductor region constituted based on the same semi-conductor layer as the semi-conductor layer which makes the single crystal semiconductor region in which said drive circuit was formed.

[0028] In the liquid crystal display of this invention, the switching element corresponding to a pixel electrode is formed in the large single crystal semiconductor region or non-single crystal semiconductor region of defect density. the case where a switching element is constituted from a thin film transistor compared with that by which the switching element is formed in the small good single crystal field of defect density of this -- IMPACT the minority carrier produced by IONAZATION carries out a trap according to the defect in a semiconductor region -- having -- the life time of a minority carrier -- short -- **** -- a pressure-proof fall can be controlled by things. Furthermore, the leakage current produced because light carries out incidence to a thin film transistor can be controlled similarly. In addition, there are also the following advantages. That is, it is not necessary to prepare the SUB potential ejection field for drawing out a minority carrier from a channel field, and improvement in the numerical aperture which is a pixel can be aimed at in the liquid crystal display of this invention. With constituting the single crystal field in which the drive circuit was formed, and the semiconductor region in which the switching element was formed based on the same semi-conductor layer, both are formed on the same substrate at a monolithic, and become what has a compact configuration. By having formed in the single crystal semiconductor region with little defect density the drive circuit where high drive capacity is demanded, and having formed the switching element corresponding to a pixel electrode in the single crystal field with much defect density, or the non-single crystal field, the maximum exertion of the function required of each of the switching element corresponding to a drive circuit and a pixel electrode will be carried out, it is stabilized and the extremely excellent image can be displayed.

[0029] According to the manufacture approach of the liquid crystal display of this invention, the liquid crystal display of above-mentioned this invention can be manufactured suitably. In the manufacture approach of the liquid crystal display of this invention, a switching element can be formed for a drive circuit on the same substrate at a monolithic by forming based on the same semi-conductor layer as the semi-conductor layer which makes the single crystal semiconductor region in which a drive circuit is formed in the switching element corresponding to a pixel electrode.

[0030] In the field based on the same semi-conductor layer as the semi-conductor layer which makes the single crystal semiconductor region in which a drive circuit is formed in the switching element corresponding to a pixel electrode and as a concrete approach of forming in the single crystal semiconductor region where defect density is larger than this single crystal semiconductor region, or a non-single crystal semiconductor region After preparing a single crystal semiconductor region with little defect density of the magnitude which can form a drive circuit and the switching element corresponding to a pixel electrode, since the defect density of the field in which a switching element should be formed is increased, the approach of forming a switching element there etc. is mentioned.

[0031] As an approach of increasing the defect density of a single crystal semiconductor region, ion-implantation, the so-called stress method for giving physical stress to a semi-conductor front face, and increasing defect density, a heat stress method, scorification, etc. are employable.

[0032] When ion-implantation is adopted, since amorphous-izing is also possible by control of defect density, it is convenient. Moreover, the chemical composition of the field in which a drive circuit is formed, and the field in which a switching element is formed shall be differed by performing an ion implantation. About impregnation ion, the ion of an element different from this besides the ion of the element which constitutes a single crystal semiconductor region can also be used. As ion of another element, oxygen besides rare gas, such as Ar, nitrogen, etc. can be used.

[0033] Silicon is used as a single crystal semiconductor and it is Si⁺ as impregnation ion. When it uses, the amount of impregnation ion is suitably selected in consideration of the structure of the semiconductor region corresponding to the so-called pixel section in which the value of defect density and a switching element are formed etc.

[0034] the case where silicon is used for the defect density of the single crystal semiconductor region in which a drive circuit is formed as a semi-conductor in this invention -- general -- 100 / cm² from -- 108 / cm² It considers as the range. desirable -- 100 / cm² from -- 105 / cm² It considers as the

range.

[0035] the defect density of the large single crystal semiconductor region of defect density in which a switching element is formed in this invention -- general -- $10^9 / \text{cm}^2$ from -- $10^{14} / \text{cm}^2$ It considers as the range. desirable -- $10^{10} / \text{cm}^2$ from -- $10^{12} / \text{cm}^2$ It considers as the range.

[0036] In this invention, a non-single crystal semiconductor means a common polycrystal semiconductor and a common amorphous semiconductor.

[0037] In the liquid crystal display of this invention, when it constitutes a drive circuit and the semiconductor layer in which a switching element is prepared from single crystal silicon, and operating voltage of TFT formed in a single-crystal-silicon layer is made high, it is necessary to thicken thickness of a single-crystal-silicon layer, it needs to secure pressure-proofing, and 4000Å – about 5000Å of thickness is needed by the application to the display beyond $V_D=10V$.

[0038] On the other hand, when it constitutes the field in which the switching element corresponding to a pixel electrode is prepared from non-single crystal silicon, even if it makes thin thickness of this non-single-crystal-silicon layer, it can secure pressure-proofing enough. In addition, since this field is used for a display, effect of effect of the leakage current by the incidence of the light to Pixel TFT decreases [the one where the thickness of a silicon layer is thinner]. Therefore, as for the thickness of this field, it is desirable to consider as the range of 100Å – 1000Å. It is desirable to consider as the range of 100Å – 500Å still more suitably.

[0039]

[Example] Although a concrete example is given and this invention is hereafter explained to a detail, this invention is not limited to this. This invention includes what considered modification and a permutation for the component as the well-known technique within limits by which the purpose of this invention is attained.

[0040] (Example 1) The mimetic diagram of the liquid crystal display manufactured by this example to drawing 2 is shown. In drawing 2, 101 is an insulating substrate and 102 is a liquid crystal cell. 103 is a switching element corresponding to a pixel electrode, and is a transistor here. 104 is a level shift register, 105 is a buffer, and 106 is a perpendicular shift register. 107 is the scanning line and 108 is a signal line.

[0041] Polycrystalline silicon TFT constituted the switching element 103 from this example. The circumference drive circuit (the level shift register 104, a buffer 105, perpendicular shift register 106) consisted of single crystal silicon TFT.

[0042] The manufacture approach of the liquid crystal display of this example is explained below with reference to drawing 1 R> 1.

[0043] Here, after forming a single crystal field and a polycrystal field on the insulating substrate 201, the transistor was made to those fields and the lump active-matrix substrate was constituted.

[0044] First, the single-crystal-silicon layer 202 was formed on the quartz substrate 201 with the general lamination technique which used lamination and etching, and the insulating (SOI) substrate 200 was constituted. Here, the single-crystal-silicon layer 202 was controlled by polish to 4000Å of thickness. Subsequently, the resist 203 of a field (B) which wants to apply and polycrystal-ize a resist 203 to the insulating substrate 200 was removed by patterning, and opening was prepared (drawing 1 (b)). A substrate 200 is installed in ion implantation equipment, and it is Si^+ focusing on this opening. It is $5 \times 10^{15} / \text{cm}^2$ with the acceleration energy of 100KeV(s) about ion. It poured in with the injection rate (drawing 1 (c)).

[0045] Si^+ In the field (B) to which ion was poured in, it is Si^+ . Many defects arise by the impact of ion and it is Si^+ . The amount of defects increases according to the injection rate of ion. When the thickness of a single-crystal-silicon layer is 4000Å or less, a single-crystal-silicon layer changes with impregnation of the above-mentioned amount of ion to an amorphous silicon layer. Si^+ A single-crystal-silicon layer can be changed to amorphous silicon by changing the injection rate of ion by single-crystal-silicon thickness.

[0046] After amorphous-izing of single crystal silicon, the temperature of 600 degrees C, and N₂ Annealing of 50hr(s) was performed in the ambient atmosphere. Consequently, the polycrystalline silicon film 204 whose particle size is several 1000Å was formed in the non-single crystal field (B) (drawing 1 (e)). The defect which was generated in the silicon layer in the case of the non-single crystal field which was not attained to amorphous-izing can decrease according to this annealing process, and can also control the amount of defects of a non-single crystal layer by adjustment of annealing temperature and time amount the optimal. The same effectiveness is acquired even if it uses the approach by laser annealing besides the approach by heat treatment in an annealing furnace as an annealing process.

[0047] Thus, the circuit was constituted using the creation process of the usual MOSFET, respectively to the single crystal field (A) and polycrystal field (B) which were formed on the same substrate, the active-matrix substrate was constituted, and the liquid crystal display was produced using this substrate.

[0048] The process after this is explained using drawing 3 - drawing 5 .

[0049] first -- drawing 3 -- (-- a --) -- having been shown -- single crystal silicon -- a layer -- a field -- (-- A --) -- 202 -- un--- single crystal silicon -- a field -- (-- B --) -- 204 -- forming -- having had -- a substrate -- 200 -- an ion implantation -- having carried out .

[0050] That is, it is 4×10^{11} /cm² about boron B because of well formation into the part which creates n-MOS transistor of the single-crystal-silicon field 202. It poured in with the injection rate. Moreover, in the field which creates p-MOS transistor, it is 2×10^{11} /cm² about Lynn P. It poured in with the injection rate. It is 1×10^{12} /cm² about Lynn p as an impurity of channel formation to the polycrystal field 204. It poured in with the injection rate.

[0051] Next, dry etching removed partially the single-crystal-silicon field 202 and the polycrystalline silicon field 204, and it left the parts 310 and 311 which form TFT in the shape of an island (drawing 3 (b)).

[0052] The silicon of the front face of the island-like single-crystal-silicon field 310 and the polycrystalline silicon field 311 was oxidized, and gate dielectric film 312 was formed by the thickness of 500Å (drawing 4 (c)).

[0053] The polycrystalline silicon film was made to deposit by the thickness of 4000Å using a reduced pressure CVD method, and the gate electrode 313 of TFT was further formed using anisotropic etching. Then, the source and the drain section were formed in self align using ion-implantation. That is, in formation of n-MOS transistor and p-MOS transistor, it is 1×10^{16} /cm² respectively. As and 2×10^{15} /cm² BF₂ The ion implantation was carried out and the source section 350 and the drain section 351 were formed (drawing 4 (d)).

[0054] The process which forms a single-crystal-silicon layer and a polycrystalline silicon layer in the shape of an island may use the technique of separating a silicon layer by carrying out the mask of the silicon layer used for TFT in a silicon nitride layer, and oxidizing other silicon layers.

[0055] You may also include the process which furthermore forms a resist with opening only in the field of non-single crystal silicon for the improvement in the engine performance of the non-single crystal silicon TFT, is exposed to the hydrogen plasma, and reduces the defect in non-single crystal silicon.

[0056] Thus, NSG (Non doped Silicate Glass)314 was made to deposit by the thickness of 5000Å using an ordinary pressure CVD method on the formed transistor (drawing 4 (e)).

[0057] Subsequently, the contact hole was opened in NSG314 of the source of a transistor and the drain section, and the gate polar zone.

[0058] Then, aluminum was made to deposit in a spatter as an electrode material, the wiring configuration predetermined by the dry etching method was processed, and wiring 315 was formed (drawing 5 (f)).

[0059] Usually, the pixel electrode etc. was formed using ITO (Indium-Tin-Oxide) by the technique generally used, the whole front face was covered by the transparence insulator layer 316 which contains the orientation film by the technique generally used, and the active-matrix substrate was constituted. The transparence insulator layer 316 on a pixel electrode is good also as a configuration which has

opening by etching over some or all of a pixel electrode.

[0060] Usually, the opposite substrate which formed and constituted the orientation film 340 grade from an approach used after forming a transparent electrode in a glass substrate 319 was prepared. The active-matrix substrate and the opposite substrate were made to counter through a sealing agent 317, it has arranged, and the liquid crystal ingredient was enclosed between the active-matrix substrate and the opposite substrate (drawing 5 (g)). Subsequently, the non-illustrated deflecting plate was arranged on the outside of both substrates, respectively, and the liquid crystal display was constituted. Thus, when the video signal of Hi-Vision correspondence was inputted into the constituted liquid crystal display and image display was performed to it, the outstanding image has been stabilized and displayed on it.

[0061] In the active-matrix mold liquid crystal display of the configuration of this example, when the electrical-potential-difference difference concerning TFT constituted the largest pixel switch from polycrystalline silicon TFT, while avoiding the problem of pressure-proofing of TFT, the problem by the optical leakage current of the pixel switch TFT was also solved. Moreover, it was able to respond to the signal of a very quick frequency, for example, the signal of high definition television correspondence, the circumference circuit of which drive speed is required, and by constituting a shift register from single crystal silicon TFT especially.

[0062] (Example 2) Si⁺ which carried out the ion implantation to the substrate 200 in the example 1 in this example 5x10¹⁵/of amounts cm² of ion 5x10¹⁴-/cm² The active-matrix substrate was produced like the example 1 except having replaced with. 5x10¹⁴-/cm² Si⁺ After preparing two samples which poured in ion and performing the so-called SECO etching to the ion-implantation field of the sample of the method of one, when the amount of defects was measured, this field is 10¹¹-/cm². Having single crystal structure where the defect of extent was introduced was checked. While producing the active-matrix substrate using the sample of another side, after preparing an opposite substrate like an example 1, the liquid crystal display was produced like the example 1.

[0063] When the image was displayed on the obtained liquid crystal display like the example 1, it was stabilized and the outstanding image has been displayed.

[0064] (Example 3) By this example, a active-matrix substrate is created according to the process typically shown in drawing 6 , and the example which constituted the liquid crystal display is explained. Hereafter, it explains with reference to drawing 6 .

[0065] First, the single-crystal-silicon layer 403 was formed on the quartz substrate 401 with the general lamination technique which used lamination and etching, and the insulating (SOI) substrate 400 was constituted (drawing 6 (a)).

[0066] Here, the single-crystal-silicon layer 403 controlled thickness by polish to 4000Å. The resist was applied to the single-crystal-silicon layer 403 of the insulating substrate 400, the resist of a field (B) to form into an un-single crystal was removed by pattern NINGU, and opening was prepared (drawing 6 (b)). The substrate 400 was installed in the dry etching system, and lamination of the thickness of the single-crystal-silicon layer of this opening was carried out to about 1000Å or less (drawing 6 (c)). Subsequently, a substrate is installed in ion implantation equipment and it is Si⁺ focusing on opening. It is 1x10¹⁵-/cm² with the acceleration energy of 40keV(s) about ion. It poured in with the injection rate (drawing 6 (d)).

[0067] Opening with a thin single-crystal-silicon layer is Si⁺. It changed with placing of ion to amorphous silicon 404.

[0068] Subsequently, after removing the resist which forms opening, when annealing treatment is performed, amorphous silicon can be used as polycrystalline silicon, and the particle size of polycrystalline silicon can also be controlled by controlling annealing conditions further. According to the above process, the single-crystal-silicon layer and the non-single-crystal-silicon layer with thickness thinner than this single-crystal-silicon layer were able to be allotted on the same substrate. In this way, the active-matrix substrate was constituted by the same technique as the example 1 described using

the obtained substrate. Subsequently, after preparing an opposite substrate like an example 1, the liquid crystal display was produced like the example 1. When the image was displayed on the ***** liquid crystal display like the example 1, it was stabilized and the outstanding image has been displayed. Since especially the liquid crystal display of this example made thickness of a non-single-crystal-silicon layer thinner than a surrounding single-crystal-silicon layer, it was able to be pressed down very low to extent which cannot observe effect of the leakage current of TFT of the pixel section.

[0069] (Example 4) After producing a active-matrix substrate using the process typically shown in drawing 7, the liquid crystal display consisted of these examples using this. Hereafter, it explains with reference to drawing 7 R> 7.

[0070] First, on the quartz substrate 501, the general lamination technique was used, the single-crystal-silicon layer 503 was formed, and the insulating (SOI) substrate 500 was constituted (drawing 7 (a)). The thickness of the single-crystal-silicon layer 503 is 4000A. On the single-crystal-silicon layer 503 of the insulating substrate 500, the silicon nitride layer 520 was deposited with the reduced pressure CVD method, the silicon nitride layer of a field (B) to form into an un-single crystal was removed by dry etching, and opening was prepared (drawing 7 (b)). Subsequently, the single-crystal-silicon layer was oxidized so that a substrate 500 might be installed in an oxidation system and the thickness of the single-crystal-silicon layer of this opening might become about 1000A or less, and the silicon oxide layer 521 was formed (drawing 7 (c)). Wet etching removed the silicon layer which oxidized and thickness obtained the single-crystal-silicon layer 1000A or less (drawing 7 (d)). Opening was prepared in the field (B) which applies a resist 541 and performs non-single crystal-ization by patterning. In this way, the obtained substrate is installed in ion implantation equipment, and it is Si⁺ focusing on this opening. It is 1×10^{15} -/cm² with the acceleration energy of 40keV(s) about ion. It poured in with the injection rate (drawing 5 (e)). By this ion implantation, the single-crystal-silicon layer of opening became amorphous. The thin film transistor etc. was made like the example 1 to the substrate (drawing 7 (f)) which removed the resist 541 and was obtained, and the active-matrix substrate was produced. The liquid crystal display was produced using this and the opposite substrate obtained like the example 1. When the image was displayed on the obtained liquid crystal display like the example 1, it was stabilized and the outstanding image has been displayed.

[0071] (Example 5) It explains using drawing 8 – drawing 10. The active-matrix circuit board was produced using the insulating substrate which allotted the single-crystal-silicon layer of non-translucency, and the liquid crystal display consisted of these examples using this active-matrix circuit board. Hereafter, the producing method is explained.

[0072] On the single-crystal-silicon base 630 of non-translucency, the lamination technique was used, the single-crystal-silicon layer 602 was formed on both sides of the silicon oxide layer 631, and the SOI substrate 600 was constituted (drawing 8 (a)).

[0073] Single-crystal-silicon layer 602 thickness is 1 micrometer or less. On the single-crystal-silicon layer 602 of the insulating substrate 600, the resist of a field (B) which wants to apply and form a resist 611 into an un-single crystal was removed by pattern NINGU, and opening was prepared (drawing 8 (b)). A substrate 600 is installed in ion implantation equipment, and it is Si⁺ focusing on this opening. It is 5×10^{15} -/cm² with the acceleration energy of 100KeV(s) about ion. It poured in with the injection rate (drawing 8 (c)). Si⁺ Although it became amorphous [the field 605 where ion was poured in] (drawing 8 (d)), the amorphous silicon field 605 changed to the polycrystalline silicon field 606 whose particle size is several 1000A by carrying out annealing treatment of the substrate 600 (drawing 8 (e)). In this way, how to produce a liquid crystal display using the obtained substrate is explained using drawing 9 and drawing 10.

[0074] In drawing 9 (a), 706 corresponds to the polycrystalline silicon field 606 in drawing 8 (e). 702, 730, and 731 correspond to 602, 630, and 631 in drawing 8 (e) similarly, respectively.

[0075] First, it is 4×10^{11} -/cm² about B because of well formation into the part which creates n-MOS transistor of the single-crystal-silicon field 702. It poured in with the injection rate. Moreover, in the

field which creates p-MOS transistor, it is $2 \times 10^{11} \text{--}/\text{cm}^2$ about P. It poured in with the injection rate. It is $1 \times 10^{12} \text{--}/\text{cm}^2$ about P as an impurity for channel formation to the polycrystal field 706. It poured in with the injection rate (drawing 9 (a)).

[0076] It left only the part which forms TFT by dry etching, and the single-crystal-silicon layer 702 and the polycrystalline silicon layer 706 were formed in the shape of an island. That is, the island-like single crystal silicon 710, and the island-like non-single crystal silicon 711 were formed (drawing 9 (b)).

Subsequently, the silicon layer formed in the shape of an island was oxidized, and gate dielectric film 712 was formed by the thickness of 500Å. Polycrystalline silicon was made to deposit by the thickness of 4000Å with a reduced pressure CVD method, and the gate electrode 713 of TFT was formed using anisotropic etching. It is $1 \times 10^{16} \text{--}/\text{cm}^2$ to the field which constitutes n-MOS transistor and p-MOS transistor with ion-implantation in order to form the source and the drain section in self align. As and $2 \times 10^{15} \text{--}/\text{cm}^2$ BF₂ It poured in respectively.

[0077] The technique of separating a silicon layer by carrying out the mask of the silicon layer used for TFT in a silicon nitride layer, and oxidizing other silicon layers may be used for the process which forms a single-crystal-silicon layer and a polycrystalline silicon layer in the shape of an island.

[0078] On the transistor using the single-crystal-silicon layer formed on the non-translucency substrate 730, and the transistor using a polycrystalline silicon layer, used the ordinary pressure CVD method, and the NSG (Non doped Silicate Glass) layer 714 was made to deposit in 5000Å thickness, and was used as the protective coat. The contact hole was opened in NSG714 on the source section of a transistor, the drain section, and the gate polar zone.

[0079] Aluminum was made to deposit in a spatter as an electrode material, the dry etching method was used for the predetermined wiring configuration, it was processed, and wiring 715 was formed (drawing 9 (C)).

[0080] The pixel electrode was formed using ITO by the approach generally used, the front face was covered by the transparence insulator layer 716 which contains the orientation film by the approach generally used, and the active-matrix substrate was constituted. Subsequently, after forming a transparent electrode on a glass substrate 719 using the approach usually used, the orientation film 740 grade was formed and the opposite substrate was prepared. In this way, the obtained active-matrix substrate and the opposite substrate were made to counter through a sealing agent 317, it has arranged, and the liquid crystal ingredient 718 was enclosed in between (drawing 10 (d)).

[0081] Etching removal of the non-translucency substrate 730 was partially carried out from the rear-face side of a viewing area using organic alkali, such as KOH or ethylenediamine.

[0082] In order that this wet etching solution might not dissolve the silicon oxide layer 731, etching was stopped bordering on the silicon oxide layer 731. Consequently, the viewing area became translucency (drawing 10 (e)). The non-illustrated polarizing plate was arranged on this and the liquid crystal display was constituted. In this way, when the image was displayed on the obtained liquid crystal display like the example 1, it was stabilized and the outstanding image has been displayed.

[0083]

[Effect of the Invention] In the liquid crystal display of this invention, the switching element corresponding to a pixel electrode is formed in the large single crystal semiconductor region or non-single crystal semiconductor region of defect density so that I may be understood by the above explanation. the case where a switching element is constituted from a thin film transistor compared with that by which the switching element is formed in the small good single crystal field of defect density of this -- IMPACT the minority carrier produced by IONAZATION carries out a trap according to the defect in a semiconductor region -- having -- the life time of a minority carrier -- short -- **** -- a pressure-proof fall can be controlled by things. Furthermore, the leakage current produced because light carries out incidence to a thin film transistor can be controlled similarly. Furthermore, it is not necessary to prepare the SUB potential ejection field for drawing out a minority carrier from a channel field, and improvement in the numerical aperture which is a pixel can be aimed at in the liquid crystal

display of this invention. With constituting the single crystal field in which the drive circuit was formed, and the semiconductor region in which the switching element was formed based on the same semiconductor layer, both are formed on the same substrate at a monolithic, and become what has a compact configuration. By having formed in the single crystal semiconductor region with little defect density the drive circuit where high drive capacity is demanded, and having formed the switching element corresponding to a pixel electrode in the single crystal field with much defect density, or the non-single crystal field, the maximum exertion of the function required of each of the switching element corresponding to a drive circuit and a pixel electrode will be carried out, it is stabilized and the extremely excellent image can be displayed.

[0084] According to the manufacture approach of the liquid crystal display of this invention, the liquid crystal display of this invention can be manufactured suitably. In the manufacture approach of the liquid crystal display of this invention, a drive circuit and a switching element can be formed on the same substrate at a monolithic by forming based on the same semiconductor layer as the semiconductor layer which makes the single crystal semiconductor region in which a drive circuit is formed in the switching element corresponding to a pixel electrode.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 2] It is the mimetic diagram showing one example of the liquid crystal display of this invention.

[Drawing 3] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 4] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 5] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 6] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 7] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 8] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 9] It is the mimetic diagram showing one example of the manufacture approach of the liquid

crystal display of this invention.

[Drawing 10] It is the mimetic diagram showing one example of the manufacture approach of the liquid crystal display of this invention.

[Drawing 11] It is the mimetic diagram showing one example of the conventional liquid crystal display.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-160466

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
	1/13	1 0 1		
G 0 9 F 9/35	3 0 2	7426-5H		
H 0 1 L 29/786		9056-4M		
			H 0 1 L 29/ 78	6 1 2 B
			審査請求 未請求	請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平6-307490

(22) 出願日 平成6年(1994)12月12日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 石井 隆之

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 弁理士 丸島 儀一

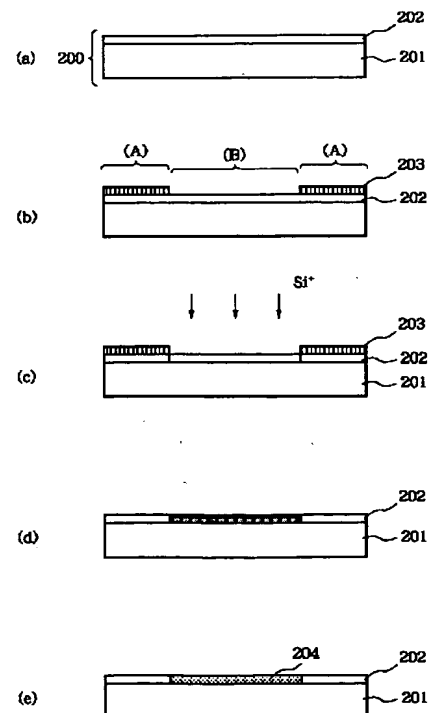
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【目的】 高品位テレビなどに対応できる高速駆動をなし得る液晶表示装置を提供すること。

【構成】 画素電極に対応するスイッチング素子が、駆動回路が形成された単結晶半導体領域をなす半導体層と同一の半導体層に基づいて構成された領域で且つ前記単結晶半導体領域よりも欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域に形成されている液晶表示装置。

【効果】 駆動回路と画素電極に対応するスイッチング素子との各々に要求される機能が最大限発揮され、極めて優れた画像を安定して表示できる。



(2)

【特許請求の範囲】

【請求項1】 行列状に配された複数の画素電極に対応して複数のスイッチング素子を備えと共に、前記複数のスイッチング素子を駆動するための駆動回路を備えたアクティブマトリクス回路基板と、前記画素電極に対向する対向電極を備えた対向基板と、の間に液晶を挟持してなる液晶表示装置であって、

前記スイッチング素子が、前記駆動回路が形成された単結晶半導体領域をなす半導体層と同一の半導体層に基づいて構成された領域で且つ前記単結晶半導体領域よりも欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域に形成されていることを特徴とする液晶表示装置。

【請求項2】 前記半導体層が、シリコンを用いて構成された請求項1に記載の液晶表示装置。

【請求項3】 前記スイッチング素子は、薄膜トランジスタである請求項1に記載の液晶表示装置。

【請求項4】 前記非単結晶半導体領域は、多結晶質もしくは非晶質構造をなす請求項1に記載の液晶表示装置。

【請求項5】 前記駆動回路が形成された半導体領域と、前記スイッチング素子が形成された半導体領域とは、化学組成が異なる請求項1に記載の液晶表示装置。

【請求項6】 前記駆動回路が形成された前記単結晶半導体領域の欠陥密度は、 $10^0/\text{cm}^2$ から $10^8/\text{cm}^2$ の範囲にある請求項2に記載の液晶表示装置。

【請求項7】 前記スイッチング素子が形成された前記単結晶半導体領域の欠陥密度は、 $10^9/\text{cm}^2$ から $10^{14}/\text{cm}^2$ の範囲にある請求項2に記載の液晶表示装置。

【請求項8】 前記スイッチング素子が形成された前記半導体領域を構成する半導体層の層厚は、前記駆動回路が形成された領域を構成する半導体層の層厚よりも薄い請求項2に記載の液晶表示装置。

【請求項9】 前記スイッチング素子が形成された前記半導体層の層厚は、 100\AA から 1000\AA の範囲にある請求項8に記載の液晶表示装置。

【請求項10】 行列状に配された複数の画素電極に対応して複数のスイッチング素子を備えと共に、前記複数のスイッチング素子を駆動するための駆動回路を備えたアクティブマトリクス回路基板と、前記画素電極に対向する対向電極を備えた対向基板と、の間に液晶を挟持してなる液晶表示装置の製造方法であって、

前記スイッチング素子を、前記駆動回路が形成された単結晶半導体領域をなす半導体層と同一の半導体層に基づいて構成された領域で且つ前記単結晶半導体領域よりも欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域に形成することを特徴とする液晶表示装置の製造方法。

【請求項11】 前記半導体層にシリコンを用いる請求

項10に記載の液晶表示装置の製造方法。

【請求項12】 前記欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域を、イオン注入法を用いて形成する請求項10に記載の液晶表示装置。

【請求項13】 前記イオン注入するイオンはシリコンである請求項12に記載の液晶表示装置。

【請求項14】 前記イオン注入するイオンは、Ar、酸素、窒素の中から選択される請求項12に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高品位TV、カメラ一体型VTR用電子ビューファインダー、ヘッドマウントディスプレイ、プロジェクションTV等に利用可能なアクティブマトリクス回路基板を備えた液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】従来より、スイッチング素子を2次元のマトリクス状に高密度に配して構成した基板を用いた所謂アクティブマトリクス型液晶表示装置は、フラットパネルディスプレイ用として、あるいはプロジェクションテレビ用としてさかんに研究がなされ、そのうちのいくつかは既に商品化がなされている。

【0003】このようなアクティブマトリクス型液晶表示装置の1例を図11に模式的に示す。

【0004】図11において801は画素スイッチ、802はバッファ部、803は水平シフトレジスタ部であり、804は垂直シフトレジスタ部である。テレビの輝度信号や音声信号は、ある帯域に圧縮され、その周波数に追従できる駆動能力を持った水平シフトレジスタ803によって駆動するバッファ部802に送られる。

【0005】バッファ部802に送られた信号は、垂直シフトレジスタ804によってトランジスタで構成された画素スイッチ801がオンしている期間にトランジスタのドレインに接続された画素電極に転送される。

【0006】

【発明が解決しようとする課題】このパネルを構成する回路に要求される性能は、HDTV（高品位テレビ）を念頭に入れ、フレーム周波数が60Hz、走査線本数が約1000本、水平走査期間が約30 μsec （有効走査期間27 μsec ）、水平画素数が約1500個とすると、テレビ信号は、約45MHzの周波数でバッファ部に転送されてくる。また、走査線1本あたりの信号転送に許される期間は、1～2 μSEC となる。従って、各要素回路には、以下の4つの性能が要求されることとなる。

【0007】即ち、（1）水平シフトレジスタの駆動能力が45MHz以上あること。

【0008】（2）垂直シフトレジスタの駆動能力が500kHz以上あること。

(3)

3

【0009】(3) 水平シフトレジスタで駆動され、テレビ信号をバッファ部に転送するトランスファスイッチの駆動能力が45MHz以上あること。

【0010】(4) 画素スイッチの駆動能力が500kHz以上あること。

【0011】ここで言う駆動能力とは、液晶画素に、ある階調数Nを出そうとした場合、液晶の最大または最小の透過率を与える電圧を V_m として、 $V-T$ (電圧-透過率) 曲線から得られる液晶の閾値電圧を V_t とすると、上記走査線1本あたりの期間内に、該走査線で駆動される全ての画素に $(V_m - V_t) / N$ [V] 以下である信号転送能力を意味する。

【0012】これから明らかなように、画素スイッチ、及び垂直シフトレジスタは、比較的駆動能力が小さくても良いが水平シフトレジスタ、及びバッファ部は高速の駆動を必要とされる。このため、現在の液晶表示装置においては、画素スイッチや垂直シフトレジスタは多結晶シリコンやアモルファスシリコンなどの非単結晶TFT (薄膜トランジスタ) でモノリシックに形成し、その他の周辺回路は、ICチップを外から実装することで対応している。

【0013】多結晶シリコンTFTを用いて、周辺回路までモノリシックに形成しようとする試みもあるが、この場合、個々のTFTの駆動能力が小さいため、トランジスタサイズを大きくしたり、回路上複雑な工夫が必要となる。

【0014】一方近年、絶縁性基板上に配された単結晶シリコン層(SOI)中に形成されたTFTは、3次元集積回路や密着センサ等の構成要素として注目されている。このようなSOI基板に作り込んだTFTは従来の単結晶シリコンウエハ上に作製されたトランジスタに比べ、寄生容量が小さい、ラッチアップフリーの誘電体分離、放射線耐性に優れている、などの特性を有する。そして近年、単結晶シリコン層の膜厚を十分薄くして(超薄膜化)、そこにトランジスタを形成すると、固有のメカニズムによって、高いキャリア移動度が得られる、サブスレッショルド特性が改善されるなどのトランジスタ特性の改善につながるとして研究が盛んに行なわれている。

【0015】しかしながら、これらの超薄膜トランジスタにおいても問題点がある。即ち、ゲート電圧 $V_g = 0$ [V] (オフ時) のドレイン耐圧が膜厚の減少にともない急激に劣化する。この問題点は、トランジスタの応用展開を図っていく上で、特に密着センサや平面ディスプレイなどの設計上高耐圧が要求される分野では大きな障害となる。

【0016】上述の障害の発生する原因は、基本的には単結晶シリコン層を有する絶縁性基板の固有の構造であるフローティング構造に起因する。これについて、N-チャンネルMOSTFTを例に挙げて以下に説明する。

4

【0017】トランジスタのゲート・ドレイン間に、あるバイアスが印加されると、電気力線は、ゲート電極端からドレイン電極端まで伸びるが、その際、ドレイン・チャンネル接合部に電界の非常に密な領域が形成されることになる。この電界は特に上述の接合部とゲート絶縁膜界面に集中する。ソース部から供給された電子はドレイン端まで到達すると、この電界によってさらに加速され、ドレイン・チャンネル接合の空乏層内でIMPACT IONAZATION (インパクトイオン化) を引き起こして、正孔を発生する。

【0018】発生した正孔はソース端まで移動し、ソース電極から引き抜かれるがその程度が増してくると、正孔はソース部から引き抜かれずにチャンネル領域に蓄積されるようになる。チャンネル領域に蓄積された正孔はチャンネルのポテンシャルを下げ、さらに多くの電子がドレイン端に供給されるようになる。供給された電子はさらにIMPACT IONAZATIONを引き起こし、チャンネル部に正孔を蓄積させる。

【0019】このように、電界の集中-IMPACT IONAZATION-正孔の蓄積という一連の動作に正帰還がかかり、その過程において、トランジスタのオフ時には、上記の過程において、IMPACT IONAZATIONを引き起こす電子の供給が、ドレイン接合の逆方向電流の発生により供給される。

【0020】P-チャンネルMOSFETについても、多数キャリアが正孔であるという点が異なり、この場合、正孔のIMPACT IONAZATION率が電子に比べて小さく、その影響が多少緩和されるとうだけで、基本的には同様の問題点がある。

【0021】このような問題点を解決するための一つの手法として、チャンネルに蓄積しようとするキャリア(N-チャンネルMOSFETの場合は正孔、P-チャンネルMOSFETの場合は電子)をいかに速くチャンネル領域から引き抜くかということが考えられる。このための具体的な方法として、通常のIC構造に見られるように、チャンネルの電位(以下、「SUB電位」という。)をある電位に固定することが考えられる。

【0022】しかしながら、この方法によれば、SUB電位を取り出すための領域が必要であり、そのため、素子面積が増大してしまう。このことは、素子の集積化の妨げになるばかりか、例えば、液晶素子のスイッチングトランジスタとして応用しようとした場合、画素の開口率を低下させるという弊害を招くことになる。

【0023】本発明の目的は、上述した従来の解決すべき技術的課題を解決し、高品位テレビなどに対応できる高速駆動をなし得る液晶表示装置を提供することにある。本発明の別の目的は、TFTへの光入射によって生ずるリーク電流の弊害を抑え、高精細な画像表示が可能な液晶表示装置を提供することにある。

【0024】

50

(4)

5

【課題を解決するための手段及び作用】本発明は、上述した解決すべき技術的課題を解決するため鋭意検討を行なって成されたものであり、下述する構成のものである。

【0025】即ち、本発明の液晶表示装置は、行列状に配された複数の画素電極に対応して複数のスイッチング素子を備えると共に、前記複数のスイッチング素子を駆動するための駆動回路を備えたアクティブマトリクス回路基板と、前記画素電極に対向する対向電極を備えた対向基板と、の間に液晶を挟持してなる液晶表示装置であって、前記スイッチング素子が、前記駆動回路が形成された単結晶半導体領域をなす半導体層と同一の半導体層に基づいて構成された領域で且つ前記単結晶半導体領域よりも欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域に形成されていることを特徴とするものである。

【0026】本発明は、液晶表示装置の製造方法を包含する。

【0027】本発明の液晶表示装置の製造方法は、行列状に配された複数の画素電極に対応して複数のスイッチング素子を備えると共に、前記複数のスイッチング素子を駆動するための駆動回路を備えたアクティブマトリクス回路基板と、前記画素電極に対向する対向電極を備えた対向基板と、の間に液晶を挟持してなる液晶表示装置の製造方法であって、前記スイッチング素子を、前記駆動回路が形成された単結晶半導体領域をなす半導体層と同一の半導体層に基づいて構成された領域で且つ前記単結晶半導体領域よりも欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域に形成することを特徴とするものである。

【0028】本発明の液晶表示装置においては、画素電極に対応したスイッチング素子が、欠陥密度の大きい単結晶半導体領域もしくは非単結晶半導体領域に形成されている。このことによりスイッチング素子が欠陥密度の小さい良質な単結晶領域に形成されているものに比べて、スイッチング素子を薄膜トランジスタで構成した場合にIMPACT IONAZATIONにより生ずる少数キャリアが半導体領域中の欠陥によりトラップされ、少数キャリアのライフタイムが短くなることで耐圧の低下が抑制できる。更に、薄膜トランジスタに光が入射することで生ずるリーク電流も同様にして抑制することができる。これに加えて、次のような利点もある。即ち、本発明の液晶表示装置においては、少数キャリアをチャネル領域から引き抜くためのSUB電位取り出し領域を設ける必要がなく、画素の開口率の向上が図れる。駆動回路が形成された単結晶領域とスイッチング素子が形成された半導体領域とを同一の半導体層に基づいて構成することで、両者は同一基板上にモノリシックに形成され、構成がコンパクトなものとなる。高い駆動能力が要求される駆動回路を欠陥密度の少ない単結晶半導

6

体領域に形成し、画素電極に対応するスイッチング素子を欠陥密度の多い単結晶領域もしくは非単結晶領域に形成したことで駆動回路と画素電極に対応するスイッチング素子の各々に要求される機能が最大限発揮されることになり、極めて優れた画像を安定して表示できる。

【0029】本発明の液晶表示装置の製造方法によれば、上述の本発明の液晶表示装置を好適に製造し得る。本発明の液晶表示装置の製造方法においては、画素電極に対応したスイッチング素子を駆動回路が形成される単結晶半導体領域をなす半導体層と同一の半導体層に基づいて形成することで駆動回路を、スイッチング素子とを同一基板上にモノリシックに形成できる。

【0030】画素電極に対応したスイッチング素子を、駆動回路が形成される単結晶半導体領域をなす半導体層と同一の半導体層に基づいた領域で、且つ該単結晶半導体領域よりも欠陥密度が大きい単結晶半導体領域もしくは非単結晶半導体領域に形成する具体的な方法としては、駆動回路と、画素電極に対応したスイッチング素子とを形成し得る大きさの欠陥密度の少ない単結晶半導体領域を用意した後、スイッチング素子が形成されるべき領域の欠陥密度を増大させてからそこにスイッチング素子を形成する方法等が挙げられる。

【0031】単結晶半導体領域の欠陥密度を増大させる方法としては、イオン注入法、物理的なストレスを半導体表面に与えて欠陥密度を増大させる所謂ストレス法、熱ストレス法、熔融法等を採用することができる。

【0032】イオン注入法を採用した場合には、欠陥密度のコントロールにより、非晶質化も可能であるので都合が良い。又、イオン注入を行なうことで、駆動回路が形成される領域と、スイッチング素子が形成される領域の化学組成を異なるものとすることができる。注入イオンについては、単結晶半導体領域を構成する元素のイオンの他、これとは別の元素のイオンを用いることもできる。別の元素のイオンとしては、Ar等の希ガスの他、酸素、窒素等を用いることができる。

【0033】単結晶半導体としてシリコンを用い、注入イオンとしてSi⁺を用いた場合、注入イオン量は、欠陥密度の値、スイッチング素子が形成される所謂画素部に対応した半導体領域の構造等を考慮して適宜選定される。

【0034】本発明において、駆動回路が形成される単結晶半導体領域の欠陥密度は、半導体としてシリコンを用いた場合には一般的には $10^0 / \text{cm}^2$ から $10^8 / \text{cm}^2$ の範囲とされる。望ましくは $10^0 / \text{cm}^2$ から $10^5 / \text{cm}^2$ の範囲とされる。

【0035】本発明において、スイッチング素子が形成される欠陥密度の大きい単結晶半導体領域の欠陥密度は、一般的には $10^9 / \text{cm}^2$ から $10^{14} / \text{cm}^2$ の範囲とされる。望ましくは $10^{10} / \text{cm}^2$ から $10^{12} / \text{cm}^2$ の範囲とされる。

(5)

7

【0036】本発明において、非単結晶半導体とは、一般的な、多結晶半導体及び非晶質半導体をいう。

【0037】本発明の液晶表示装置において、駆動回路と、スイッチング素子が設けられる半導体層を単結晶シリコンで構成する場合、単結晶シリコン層に形成されるTFTの動作電圧を高くすると単結晶シリコン層の膜厚は厚くして耐圧を確保する必要がある、 $VD=10V$ 以上の表示装置への応用では膜厚 $4000\text{\AA}\sim5000\text{\AA}$ 程度が必要となる。

【0038】一方、画素電極に対応したスイッチング素子が設けられる領域を非単結晶シリコンで構成する場合、該非単結晶シリコン層の膜厚は薄くしても充分耐圧が確保できる。加えてこの領域は、表示部に使用されるため画素TFTへの光の入射によるリーク電流の影響はシリコン層の膜厚が薄い方が影響が少なくなる。従って該領域の層厚は、 $100\text{\AA}\sim1000\text{\AA}$ の範囲とするのが望ましい。さらに好適には $100\text{\AA}\sim500\text{\AA}$ の範囲とするのが望ましい。

【0039】

【実施例】以下、具体的な実施例を挙げて本発明を詳細に説明するが、本発明はこれに限定されるものではない。本発明は、本発明の目的が達成される範囲内で構成要素を公知技術と変更・置換をしたものをも包含する。

【0040】（実施例1）図2に、本例で製造した液晶表示装置の模式図を示す。図2において、101は絶縁性基板、102は液晶セルである。103は画素電極に対応したスイッチング素子であり、ここではトランジスタである。104は、水平シフトレジスタ、105はバッファであり、106は垂直シフトレジスタである。107は走査線、108は信号線である。

【0041】本例では、スイッチング素子103は多結晶シリコンTFTで構成した。周辺駆動回路（水平シフトレジスタ104、バッファ105、垂直シフトレジスタ106）は、単結晶シリコンTFTで構成した。

【0042】本例の液晶表示装置の製造方法について図1を参照して以下に説明する。

【0043】ここでは、絶縁性基板201上に単結晶領域と、多結晶領域を形成した後、それらの領域にトランジスタを作り込みアクティブマトリクス基板を構成した。

【0044】まず、石英基板201上に単結晶シリコン層202を貼り合わせ及びエッチングを用いた一般的な貼り合わせ技術により形成して絶縁性（SOI）基板200を構成した。ここでは単結晶シリコン層202は研磨により、膜厚 4000\AA に制御した。次いで、絶縁性基板200にレジスト203を塗布して多結晶化したい領域（B）のレジスト203をパターニングで除去して開口部を設けた（図1（b））。基板200をイオン注入装置に設置してこの開口部を中心に Si^+ イオンを 100KeV の加速エネルギーで $5\times10^{15}/\text{cm}^2$ の注

8

入量で注入した（図1（c））。

【0045】 Si^+ イオンの注入された領域（B）には Si^+ イオンの衝撃により多くの欠陥が生じ Si^+ イオンの注入量に応じて欠陥量は増加する。単結晶シリコン層の膜厚が 4000\AA 以下の場合には、上記のイオン量の注入により単結晶シリコン層は非晶質シリコン層に変化する。 Si^+ イオンの注入量を単結晶シリコン膜厚により変化させることで単結晶シリコン層を非晶質シリコンに変化させることができる。

【0046】単結晶シリコンの非晶質化後、温度 600°C 、 N_2 雰囲気中で 50hr のアニールを行なった。この結果、非単結晶領域（B）には粒径が数 1000\AA の多結晶シリコン膜204が形成された（図1（e））。非晶質化まで達しなかった非単結晶領域の場合にはシリコン層中に発生した欠陥はこのアニール工程により減少し、アニール温度と時間の調整により非単結晶層の欠陥量を最適に制御することもできる。アニール工程としてアニール炉内での熱処理による方法の他にレーザーアニールによる方法を用いても同様の効果が得られる。

【0047】このようにして同一基板上に形成された単結晶領域（A）と多結晶領域（B）にそれぞれ通常のMOSFETの作成プロセスを用いて回路を構成してアクティブマトリクス基板を構成し、この基板を用いて液晶表示装置を作製した。

【0048】これ以降のプロセスを図3～図5を用いて説明する。

【0049】まず、図3（a）に示した単結晶シリコン層の領域（A）202と非単結晶シリコン領域（B）204が形成された基板200にイオン注入を行なった。

【0050】即ち、単結晶シリコン領域202のn-MOSTランジスタを作成する部分にウェル形成のためにホウ素Bを $4\times10^{11}/\text{cm}^2$ の注入量で注入した。またp-MOSTランジスタを作成する領域にはリンPを $2\times10^{11}/\text{cm}^2$ の注入量で注入した。多結晶領域204にはチャネル形成の不純物としてリンPを $1\times10^{12}/\text{cm}^2$ の注入量で注入した。

【0051】次に単結晶シリコン領域202と多結晶シリコン領域204をドライエッチングにより部分的に除去し、TFTを形成する部分310、311を島状に残した（図3（b））。

【0052】島状の単結晶シリコン領域310及び多結晶シリコン領域311の表面のシリコンを酸化してゲート絶縁膜312を 500\AA の厚みで形成した（図4（c））。

【0053】減圧CVD法を用いて多結晶シリコン膜を 4000\AA の厚みで堆積させ、さらに異方性エッチングを用いてTFTのゲート電極313を形成した。その後、ソース及びドレイン部をイオン注入法を用いて自己整合的に形成した。即ち、n-MOSTランジスタ、p-MOSTランジスタの形成には各々 $1\times10^{16}/\text{cm}^2$

(6)

2のAs、 $2 \times 10^{15}/\text{cm}^2$ の BF_2 をイオン注入し、ソース部350及びドレイン部351を形成した(図4(d))。

【0054】単結晶シリコン層と多結晶シリコン層を島状に形成する工程はTFTに使用するシリコン層を窒化シリコン層でマスクして他のシリコン層を酸化することでシリコン層を分離する技術を用いても良い。

【0055】さらに非単結晶シリコンTFTの性能向上のため非単結晶シリコンの領域のみに開口部を有したレジストを形成して水素プラズマに暴露して非単結晶シリコン中の欠陥の低減を行う工程を含んでもよい。

【0056】このようにして形成したトランジスタ上にはNSG(Non doped Silicate Glass)314を常圧CVD法を用いて5000Åの厚みで堆積させた(図4(e))。

【0057】次いで、トランジスタのソース及びドレイン部とゲート電極部のNSG314にコンタクトホールを開けた。

【0058】その後、電極材料としてアルミニウムをスパッタ法にて堆積させ、ドライエッチング法で所定の配線形状に加工して配線315を形成した(図5(f))。

【0059】通常一般的に用いられる手法によりITO(Indium-Tin-Oxide)を用いて画素電極等を形成し、一般的に用いられる手法により配向膜を含む透明絶縁膜316で表面全体を覆い、アクティブマトリクス基板を構成した。画素電極上の透明絶縁膜316は画素電極の一部または全部にわたりエッチングにより開口をもつ構成としてもよい。

【0060】通常用いられる方法で、ガラス基板319に透明電極を形成した後、配向膜340等を形成して構成した対向基板を用意した。アクティブマトリクス基板と、対向基板とを封止材317を介して対向させて配置し、アクティブマトリクス基板と、対向基板との間に液晶材料を封入した(図5(g))。次いで、両基板の外側に不図示の偏向板をそれぞれ配して液晶表示装置を構成した。このようにして構成した液晶表示装置に、ハイビジョン対応の映像信号を入力して画像表示を行なったところ、優れた画像を安定して表示できた。

【0061】本例の構成のアクティブマトリクス型液晶表示装置においては、TFTにかかる電圧差が最も大きい画素スイッチを多結晶シリコンTFTで構成することにより、TFTの耐圧の問題を回避するとともに画素スイッチTFTの光リーク電流による問題も解決した。また、駆動スピードを要求される周辺回路、特に、シフトレジスタを、単結晶シリコンTFTで構成することにより、非常に速い周波数の信号、例えば、高品位テレビ対応の信号にも対応することができた。

【0062】(実施例2)本例では、実施例1において、基板200にイオン注入した Si^+ イオンの量 $5 \times$

$10^{15}/\text{cm}^2$ を $5 \times 10^{14}/\text{cm}^2$ に代えた以外、実施例1と同様にしてアクティブマトリクス基板を作製した。 $5 \times 10^{14}/\text{cm}^2$ の Si^+ イオンを注入した試料を2つ用意し、一方の試料のイオン注入領域に所謂SECOエッチングを施した後、欠陥量を測定したところ、該領域は、 $10^{11}/\text{cm}^2$ 程度の欠陥が導入された単結晶構造をしていることが確認された。他方の試料を用いてアクティブマトリクス基板を作製すると共に実施例1と同様にして対向基板を用意した後、実施例1と同様にして液晶表示装置を作製した。

【0063】得られた液晶表示装置に、実施例1と同様にして画像を表示したところ、優れた画像を安定して表示できた。

【0064】(実施例3)本例では、図6に模式的に示される工程に従ってアクティブマトリクス基板を作成し、液晶表示装置を構成した例について説明する。以下、図6を参照して説明する。

【0065】まず、石英基板401上に単結晶シリコン層403を貼り合わせ及びエッチングを用いた一般的な貼り合わせ技術により形成して絶縁性(SOI)基板400を構成した(図6(a))。

【0066】ここでは、単結晶シリコン層403は研磨により層厚を4000Åに制御した。絶縁性基板400の単結晶シリコン層403にレジストを塗布し、非単結晶化したい領域(B)のレジストをパターンニングで除去して開口部を設けた(図6(b))。基板400をドライエッチング装置に設置してこの開口部の単結晶シリコン層の膜厚を約1000Å以下に薄層化した(図6(c))。次いで基板をイオン注入装置に設置して開口部を中心に Si^+ イオンを40keVの加速エネルギーで $1 \times 10^{15}/\text{cm}^2$ の注入量で注入した(図6(d))。

【0067】単結晶シリコン層が薄い開口部は Si^+ イオンの打ち込みにより非晶質シリコン404に変化した。

【0068】次いで、開口部を形成しているレジストを除去後、アニール処理を行なった場合には非晶質シリコンを多結晶シリコンとすることができ、更にアニール条件を制御することで多結晶シリコンの粒径をも制御することができる。以上の工程により、単結晶シリコン層と、該単結晶シリコン層よりも層厚の薄い非単結晶シリコン層と、を同一の基板上に配することができた。こうして得られた基板を用いて実施例1で述べたのと同様な手法によりアクティブマトリクス基板を構成した。次いで、実施例1と同様にして対向基板を用意した後、実施例1と同様にして液晶表示装置を作製した。得られた液晶表示装置に実施例1と同様にして画像を表示したところ、優れた画像を安定して表示できた。特に、本例の液晶表示装置は、非単結晶シリコン層の層厚を周囲の単結晶シリコン層よりも薄くしたことから、画素部のTFT

(7)

11

のリーク電流の影響を観察できない程度に極めて低く抑えることができた。

【0069】（実施例4）本例では、図7に模式的に示される工程を用いてアクティブマトリクス基板を作製した後、これを用いて液晶表示装置を構成した。以下、図7を参照して説明する。

【0070】まず、石英基板501上に単結晶シリコン層503を一般的な貼り合わせ技術を用いて形成し、絶縁性（SOI）基板500を構成した（図7（a））。単結晶シリコン層503の層厚は、4000Åである。絶縁性基板500の単結晶シリコン層503上に窒化シリコン層520を減圧CVD法により堆積し、非単結晶化したい領域（B）の窒化シリコン層をドライエッチングで除去して開口部を設けた（図7（b））。次いで基板500を酸化装置に設置してこの開口部の単結晶シリコン層の膜厚が約1000Å以下となるように単結晶シリコン層を酸化し、酸化シリコン層521を形成した

（図7（c））。酸化されたシリコン層をウエットエッチングにより除去して膜厚が1000Å以下の単結晶シリコン層を得た（図7（d））。レジスト541を塗布してパターンニングにより非単結晶化を行う領域（B）に開口を設けた。こうして得られた基板をイオン打ち込み装置に設置してこの開口部を中心に Si^{+} イオンを40keVの加速エネルギーで $1 \times 10^{15}/cm^2$ の注入量で注入した（図5（e））。このイオン注入により、開口部の単結晶シリコン層は、非晶質となった。レジスト541を除去して得られた基板（図7（f））に実施例1と同様にして薄膜トランジスタ等を作り込み、アクティブマトリクス基板を作製した。これと、実施例1と同様にして得られた対向基板と、を用いて液晶表示装置を作製した。得られた液晶表示装置に実施例1と同様に画像を表示したところ、優れた画像を安定して表示できた。

【0071】（実施例5）図8～図10を用いて説明する。本例では不透光性の単結晶シリコン層を配した絶縁性基板を用いてアクティブマトリクス回路基板を作製し、該アクティブマトリクス回路基板を用いて液晶表示装置を構成した。以下、作製法について説明する。

【0072】不透光性の単結晶シリコン基体630上に貼り合わせ技術を用いて酸化シリコン層631を挟んで単結晶シリコン層602を形成し、SOI基板600を構成した（図8（a））。

【0073】単結晶シリコン層602層厚は、1μm以下である。絶縁性基板600の単結晶シリコン層602上にレジスト611を塗布して非単結晶化したい領域

（B）のレジストをパターンニングで除去して開口部を設けた（図8（b））。基板600をイオン打ち込み装置に設置して、この開口部を中心に Si^{+} イオンを100KeVの加速エネルギーで $5 \times 10^{15}/cm^2$ の注入量で注入した（図8（c））。 Si^{+} イオンが注入され

12

た領域605は、非晶質となったが（図8（d））、基板600をアニール処理することにより、非晶質シリコン領域605は、粒径が数1000Åの多結晶シリコン領域606に変化した（図8（e））。こうして得られた基板を用いて液晶表示装置を作製する方法を図9及び図10を用いて説明する。

【0074】図9（a）において、706は、図8

（e）における多結晶シリコン領域606に対応する。

同様に702、730、731は、図8（e）における602、630、631にそれぞれ対応する。

【0075】まず、単結晶シリコン領域702のn-MOSトランジスタを作成する部分にウェル形成のためにBを $4 \times 10^{11}/cm^2$ の注入量で注入した。また、p-MOSトランジスタを作成する領域にはPを $2 \times 10^{11}/cm^2$ の注入量で注入した。多結晶領域706にはチャネル形成のための不純物としてPを $1 \times 10^{12}/cm^2$ の注入量で注入した（図9（a））。

【0076】単結晶シリコン層702と多結晶シリコン層706をドライエッチングによりTFTを形成する部分のみ残して島状に形成した。即ち、島状の単結晶シリコン710と島状の非単結晶シリコン711を形成した（図9（b））。次いで、島状に形成されたシリコン層を酸化してゲート絶縁膜712を500Åの厚みで形成した。多結晶シリコンを減圧CVD法により4000Åの厚みで堆積させ、異方性エッチングを用いてTFTのゲート電極713を形成した。ソース及びドレイン部を自己整合的に形成するため、イオン注入法により、n-MOSトランジスタ、p-MOSトランジスタを構成する領域に $1 \times 10^{16}/cm^2$ のAs、 $2 \times 10^{15}/cm^2$ のBF₂を各々注入した。

【0077】単結晶シリコン層と多結晶シリコン層を島状に形成する工程は、TFTに使用するシリコン層を窒化シリコン層でマスクして他のシリコン層を酸化することでシリコン層を分離する技術を用いても良い。

【0078】不透光性基板730上に形成された単結晶シリコン層を用いたトランジスタ及び多結晶シリコン層を用いたトランジスタ上にNSG（Non doped Silicate Glass）層714を常圧CVD法を用いて5000Åの層厚で堆積させ保護膜とした。トランジスタのソース部、ドレイン部及びゲート電極部上のNSG714にコンタクトホールを開けた。

【0079】電極材料としてアルミニウムをスパッタ法にて堆積させ、所定の配線形状にドライエッチング法を用いて加工し、配線715を形成した（図9（C））。

【0080】一般的に用いられる方法によりITOを用いて画素電極を形成し、一般的に用いられる方法により配向膜を含む透明絶縁膜716で表面を覆って、アクティブマトリクス基板を構成した。次いで、通常用いられる方法を用いてガラス基板719上に透明電極を形成した後、配向膜740等を形成して対向基板を用意した。

(8)

13

こうして得られたアクティブマトリクス基板と、対向基板とを封止材317を介して対向させて配置し、間に液晶材料718を封入した(図10(d))。

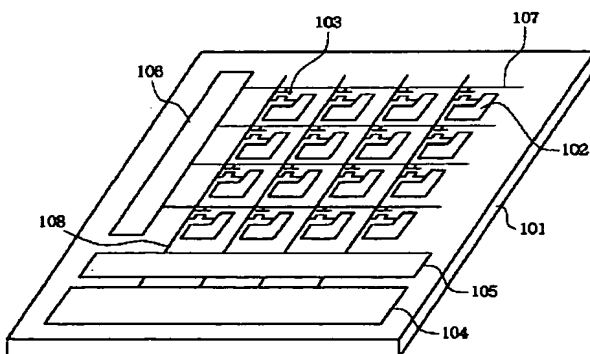
【0081】KOHもしくはエチレンジアミンなどの有機アルカリを用いて不透光性基板730を表示領域の裏面側から部分的にエッチング除去した。

【0082】このウェットエッチング溶液は酸化シリコン層731を溶解しないためエッチングは酸化シリコン層731を境にストップした。この結果、表示領域が透光性となった(図10(e))。これに不図示の偏光板を配して液晶表示装置を構成した。こうして得られた液晶表示装置に実施例1と同様に画像を表示したところ、優れた画像を安定して表示できた。

【0083】

【発明の効果】以上の説明により理解されるように本発明の液晶表示装置においては、画素電極に対応したスイッチング素子が、欠陥密度の大きい単結晶半導体領域もしくは非単結晶半導体領域に形成されている。このことによりスイッチング素子が欠陥密度の小さい良質な単結晶領域に形成されているものに比べて、スイッチング素子を薄膜トランジスタで構成した場合にIMPACT IONAZATIONにより生ずる少数キャリアが半導体領域中の欠陥によりトラップされ、少数キャリアのライフタイムが短くなることで耐圧の低下が抑制できる。更に、薄膜トランジスタに光が入射することで生ずるリーク電流も同様にして抑制することができる。更に、本発明の液晶表示装置においては、少数キャリアをチャネル領域から引き抜くためのSUB電位取り出し領域を設ける必要がなく、画素の開口率の向上が図れる。駆動回路が形成された単結晶領域とスイッチング素子が形成された半導体領域とを同一の半導体層に基づいて構成することで、両者は同一基板上にモノリシックに形成され、構成がコンパクトなものとなる。高い駆動能力が要求される駆動回路を欠陥密度の少ない単結晶半導体領域に形成し、画素電極に対応するスイッチング素子を欠

【図2】



14

陥密度の多い単結晶領域もしくは非単結晶領域に形成したことで駆動回路と画素電極に対応するスイッチング素子の各々に要求される機能が最大限発揮されることとなり、極めて優れた画像を安定して表示できる。

【0084】本発明の液晶表示装置の製造方法によれば、本発明の液晶表示装置を好適に製造し得る。本発明の液晶表示装置の製造方法においては、画素電極に対応したスイッチング素子を駆動回路が形成される単結晶半導体領域をなす半導体層と同一の半導体層に基づいて形成することで駆動回路と、スイッチング素子とを同一基板上にモノリシックに形成できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図2】本発明の液晶表示装置の1例を示す模式図である。

【図3】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図4】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図5】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図6】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図7】本発明の液晶表示装置の製造方法の1例を示す模式図である。

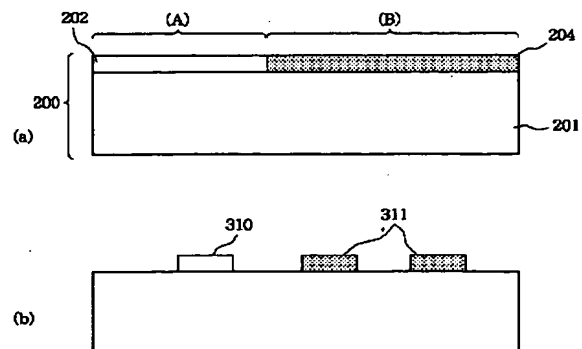
【図8】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図9】本発明の液晶表示装置の製造方法の1例を示す模式図である。

【図10】本発明の液晶表示装置の製造方法の1例を示す模式図である。

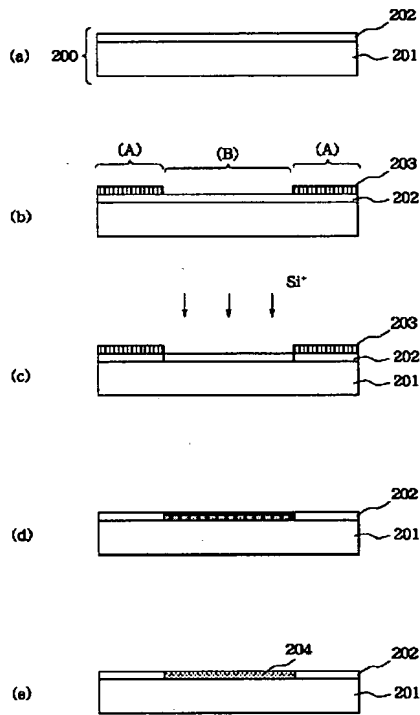
【図11】従来の液晶表示装置の1例を示す模式図である。

【図3】

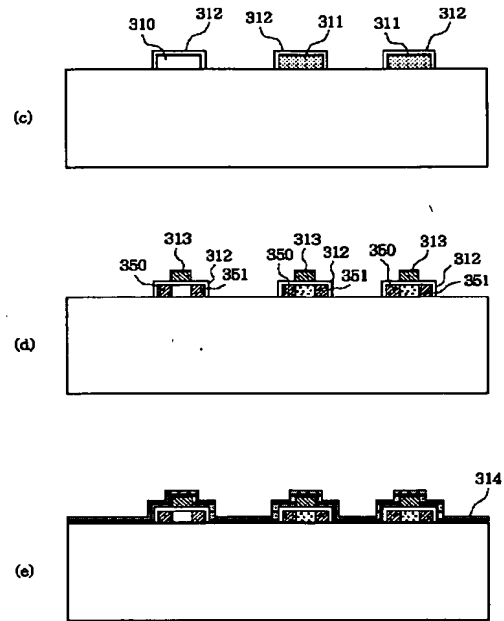


(9)

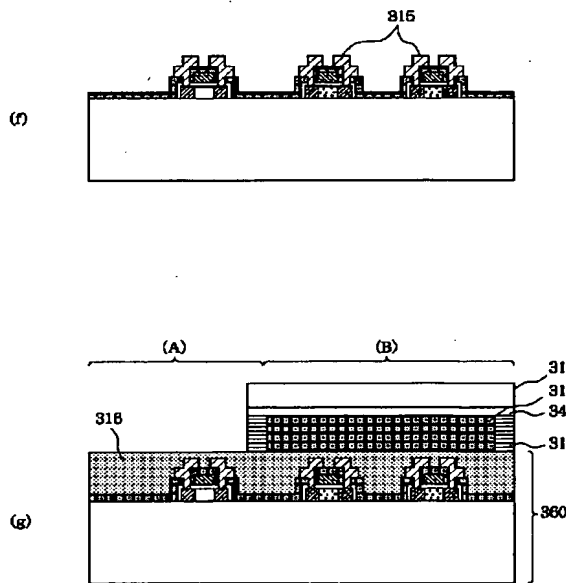
【図 1】



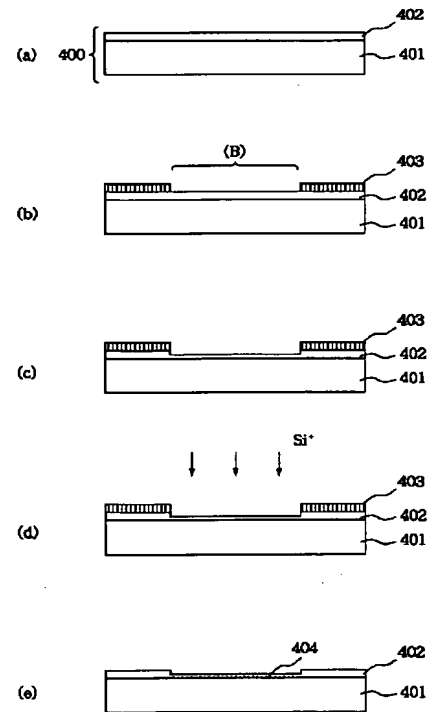
【図 4】



【図 5】

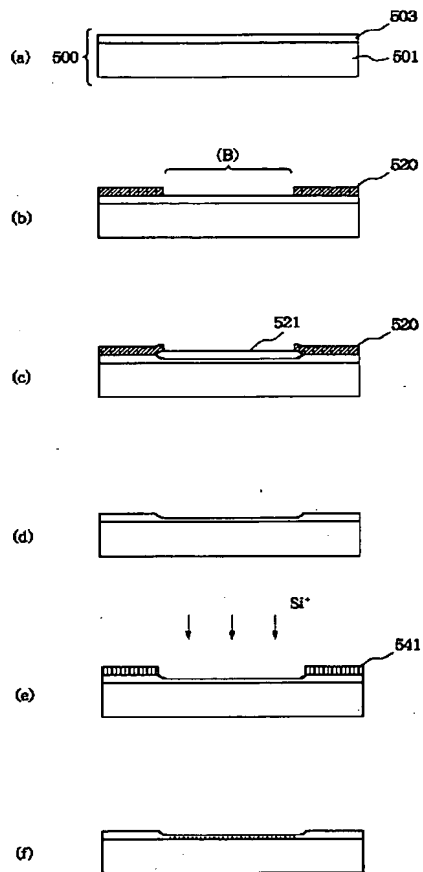


【図 6】

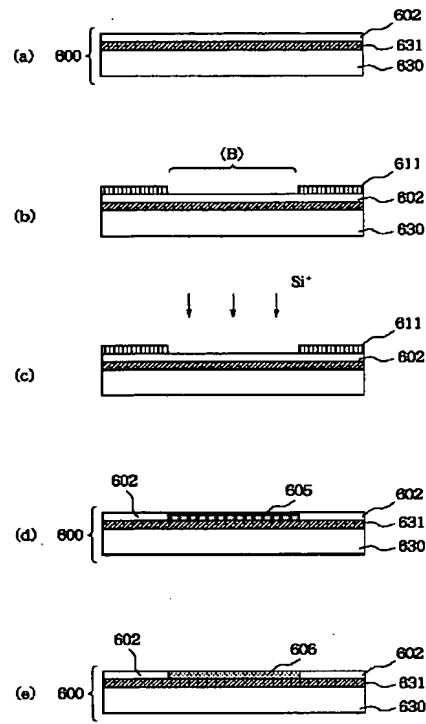


(10)

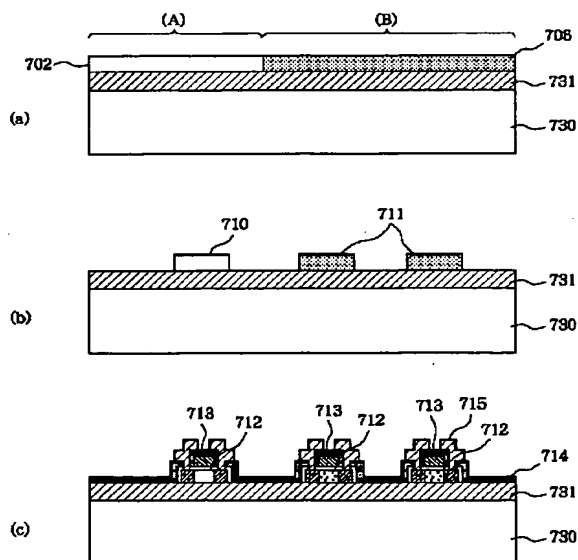
【図7】



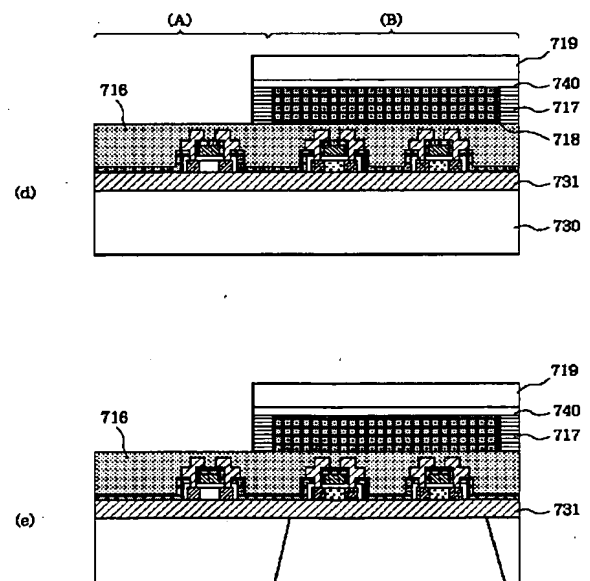
【図8】



【図9】

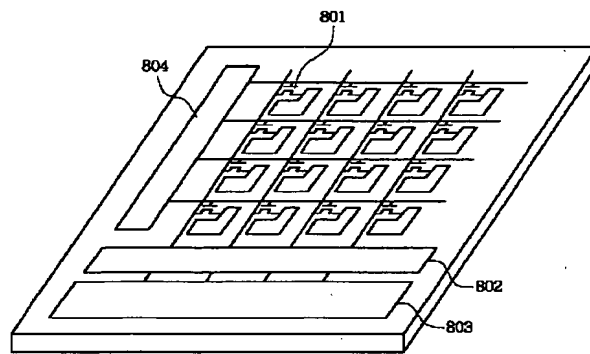


【図10】



(11)

【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.